

使用时，是数据信号的传递通道（布线规范和布线长度相同），不使用时，会被导入低压差分信号的高速或低速。

工作原理：

输入数据核对执行三次采样操作所需要的时间为半个主时钟周期(第二次采样与所有数据抽样瞬间同步)，三次采样结果出来后会做出对比，依据对比结果来标记违规（参看 5.6 部分的内容）。

对于标记出来的违规，用户可有两种解决方案，一种是调 FPGA PLL 的相位（此方法仅适用于配备所需功能的 FPGA 上使用）。另一种是调 DSP 时钟（DAC 的输出时钟与 FPGA 同步-参看 5.8 和 5.5 部分的内容）。

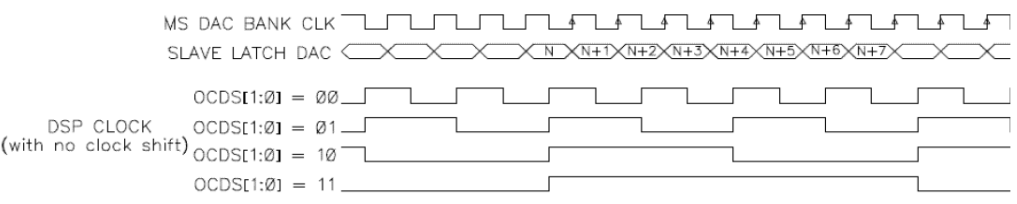
5.5 OCDS 【片上调试系统】 [1:0]功能

如果采样时钟/2N 中的 N 代表 MUX 率，可以将 DSP 时钟内部分配系数分别从 1 调到 2，4 和 8（之前 VM25C 里只有 1）。这个操作可通过 OCDS 的输出时钟分选位来实现。

图表 11. OCDS[1:0]代码表

Label	Value	Description
OCDS [1:0]	00	DSP clock frequency is equal to the sampling clock divided by 2N
	01	DSP clock frequency is equal to the sampling clock divided by 2N*2
	10	DSP clock frequency is equal to the sampling clock divided by 2N*4
	11	DSP clock frequency is equal to the sampling clock divided by 2N*8

图示 11. OCDS 【片上测试系统】 计时图



5.6 HTVF, STVF 函数

HTVF 和 STVF 显示 DAC 和 FPGA 是否同步。

表格 12. HTVF, STVF 代码表

Label	Value	Description
HTVF	0	SYNCHRO OK
	1	Data Hold time violation detected
STVF	0	SYNCHRO OK
	1	Data Setup time violation detected

注释：在监测时，STVF 显示数据违规的建立时间（低→OK，高→违规），HTVF 显示数据违规的维持时间（低→OK，高→违规）。

5.7. 相移选择函数

可以调节采样时钟和 DSP 输出时钟之间的频率，按下述公式计算：

采样时钟/2NX（N 指的是 MUX 率，X 指的是输出时钟分配系数）

除了 DSP 时钟（DSP, DSPN）和采样时钟（CLK, CLKN）之间固有的传播延时之外，超过 3.5 输入时钟的周期范围（半个时钟周期需要 7 个步骤），DSP 时钟输出相位是可调的。

相移函数提供三位：PSS[1:0]

通过把这三个位设置到 0 或 1，可以在 DSP 时钟上增加一个延时，从而使 DAC 的数据输入和采样时钟能够正常同步运作（DSP 时钟应该应用于 FPGA 和 DAC 的数据数字输入时钟上面。）

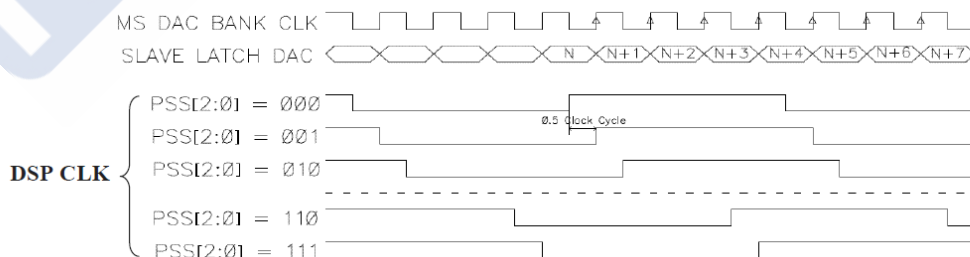
图表 13. PSS 代码表

Label	Value	Description
PSS[2:0]	000	No additional delay on DSP clock
	001	0.5 input clock cycle delay on DSP clock
	010	1 input clock cycle delay on DSP clock
	011	1.5 input clock cycle delay on DSP clock
	100	2 input clock cycle delay on DSP clock
	101	2.5 input clock cycle delay on DSP clock
	110	3 input clock cycle delay on DSP clock
	111	3.5 input clock cycle delay on DSP clock

为了确定在 DSP 时钟上需要添加多少延时才能保证 DAC 的数据输入和采样时钟同步运行，要监测 HTVF 和 STVF 位。参看 5.8 和 5.6 部分。

注释：在 MUX4:1 模式下，8 个设定是相关联的，在 MUX2:1 模式下只有四个初次设置是相关联的，因为四个最终设置会得出同样的结果。

图示 12. PSS 计时表



5.8. DSP 输出时钟

DSP 输出时钟输出 LVDS 型 DSP，DSPN 信号，用于同步 FPGA 信号生成，而且产生的信号模式与 DAC 采样时钟相匹配。

DSP 时钟频率是采样时钟频率的一部分。分配系数有赖于 OCDS 设置。DSP 时钟频率与采样频率/[2N*X]相同，N 表示 MUX 率，X 表示输出时钟分配系数，所有这些数值都有 OCDS 位来限定。

MUX 率和 X 是输出时钟分配系数，由 OCDS[0..1]位来决定。

例如，4:1MUX 率与采样时钟频率为 3GHz 一起运作时，将 OCDS 设置到“00”（如系数 1），输入数据率为 750MSPS，DSP 时钟频率为 375MHz。

FPGA 里的 DSP 时钟是控制数字数据时序的。为了保证数据能够同步传输到 DAC 和采样时钟里，有了 PSS[2:0]位，其相位是可以调节的。（参看 5.7 部分），HTVF 和 STVF 位是用于判断 FPGA 和 DAC 之间时间频率是否正确的指标。HTVF 和 STVF 位表明 DAC 和 FPGA 之间是否相匹配。然后用 PSS 位转换 DSP 时钟和 DAC 的输入数据，这样能够保证 FPGA 和 DAC 之间的时间设定是准确的。

5.9. OCDS, MUX 捆绑概述

表格 14. OCDS, MUX, PSS 捆绑概述

MUX		IUCM		OCDS		PSS range	Data rate	Comments
0	4:1	1	OFF, normal mode	00	DSP clock division factor 8	0 to 7/(2Fs) by 1/(2Fs) steps	Fs/4	Refer to Figure 11
0		01		DSP clock division factor 16				
0		10		DSP clock division factor 32				
0		11		DSP clock division factor 64				
1	2:1	1	OFF, normal mode	00	DSP clock division factor 4	0 to 7/(2Fs) by 1/(2Fs) steps	Fs/2	Refer to Figure 11
1		01		DSP clock division factor 8				
1		10		DSP clock division factor 16				
1		11		DSP clock division factor 32				

注释：适用于任何一种模式

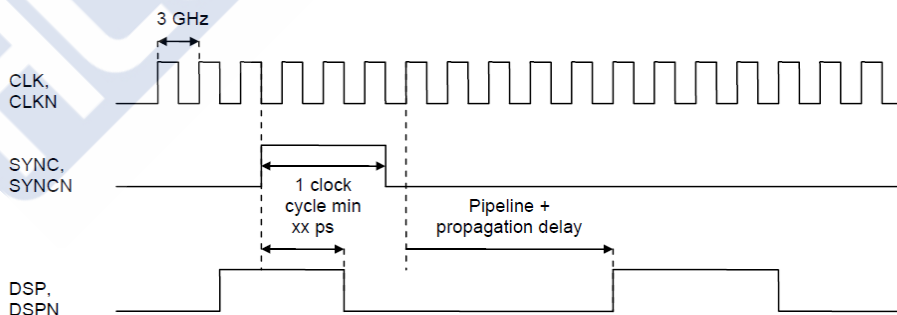
5.10. 重置功能

DAC 里集成了两种重置功能：

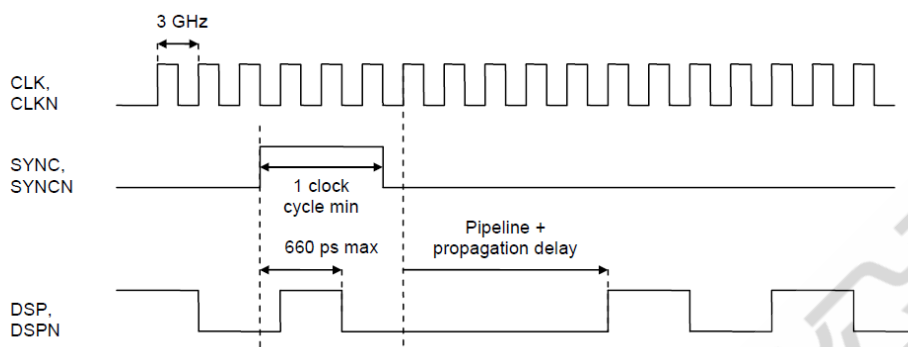
- 功率上调重置，由供电电源触发此功能。
- 外部异步重置（SYNC, SYNCN），保证多个 DAC 一起运行。

外置异步重置兼容 LVDS（数字输入数据缓冲区是一样的）

图示 13. 重置计时图（4:1MUX 模式）



图示 14. 重置计时图 (2:1 模式)



5.11. GA function 【遗传算法函数】

此函数允许调节 DAC 内部的增益，使之总能保持与单位增益相同。

通过调节 GA 周围 $V_{CCA3}/2$ 的电压 $\pm 0.5V$ 来实现 $\pm 7\%$ 的 DAC 增益范围。

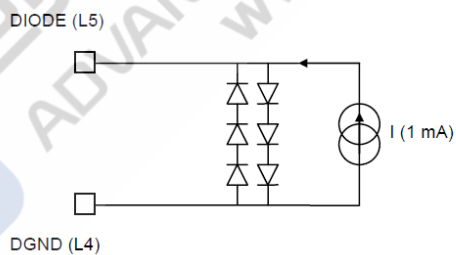
5.12. 二极管函数

DAC 里装有监控芯片节温的二极管，是由 ESD 二极管组成的。为了监测 DAC 的芯片节温，二极管管脚通过的电流应为 1mA。通过二极管管脚 (M6 in CLGA255) 以及 DGND (M5 in CLGA255) 管脚的电压，加之图示 8 中提到的二极管的内部特性，为芯片提供节温。

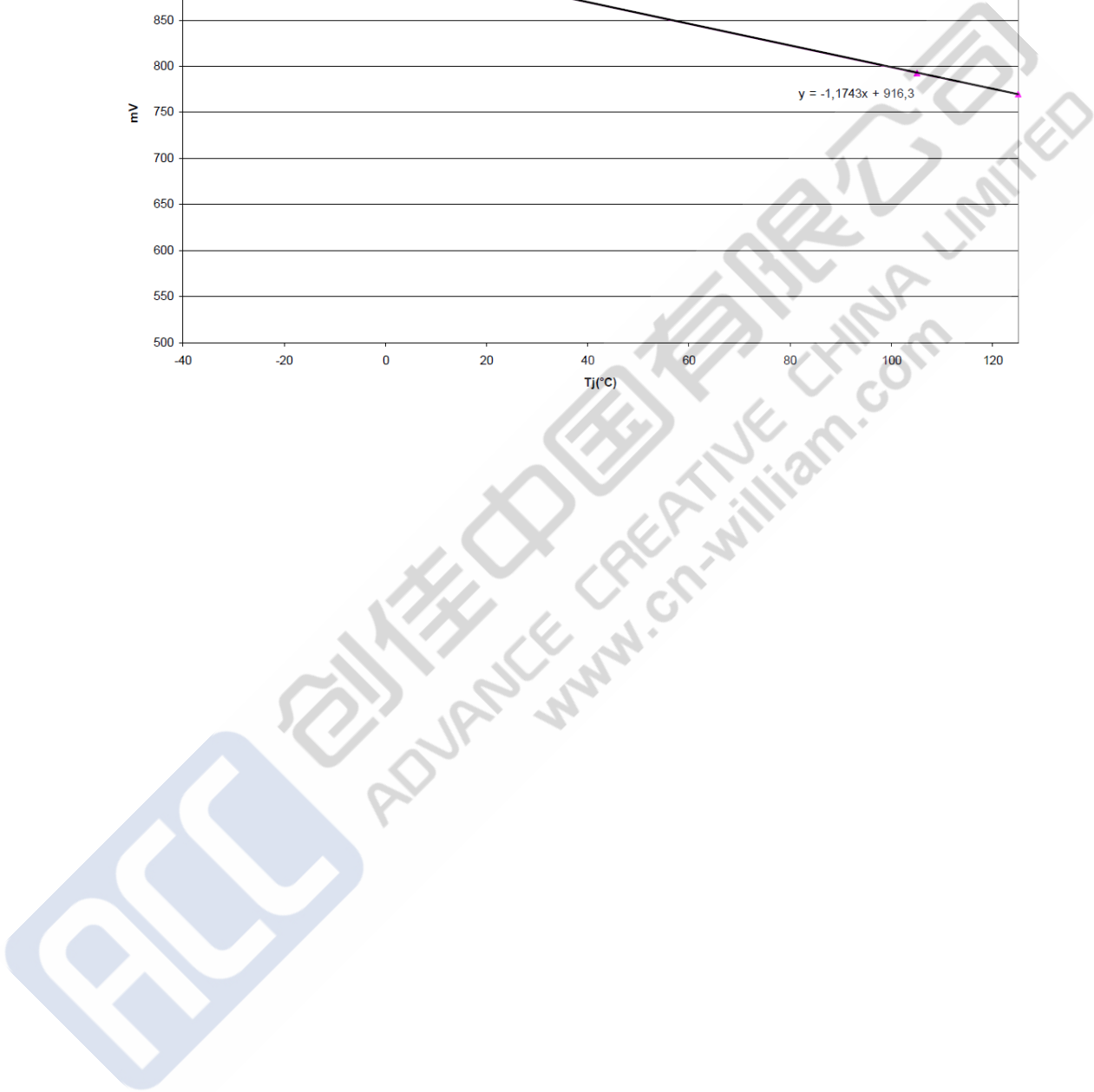
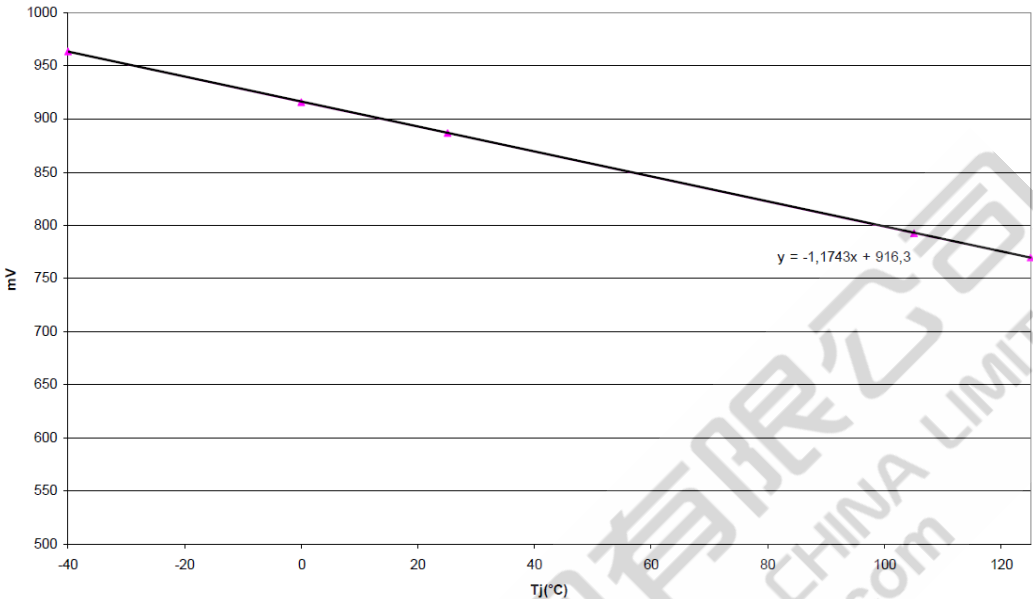
具有三重保护的二极管需要放置到器件上来避免因机内二极管过压而造成的任何损害。推荐按照图示 15 中提供的方案操作。

图示 15. 二极管温度操作

二极管 (L5)



图示 16. 监控芯片节温的二极管特性（与最终硅版本同时更新）

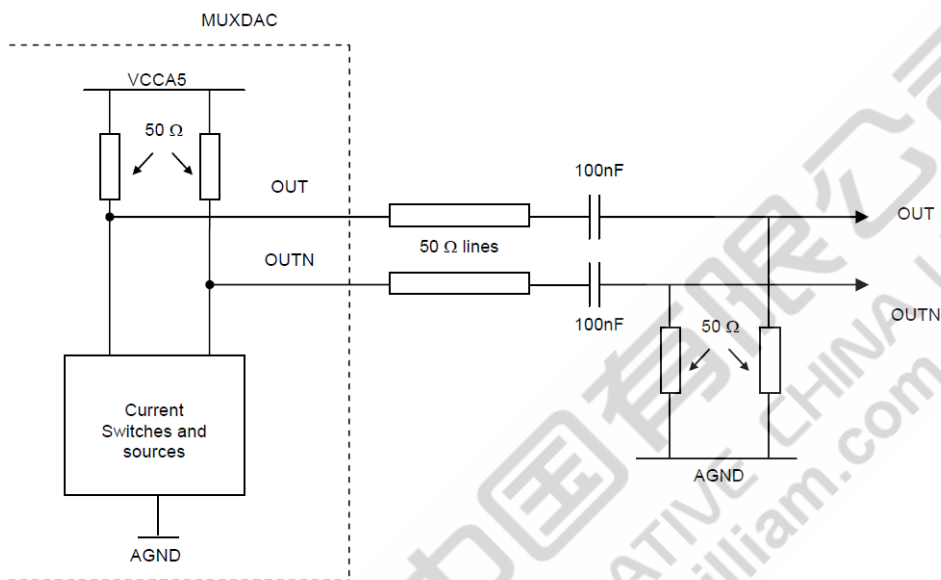


6. 应用信息

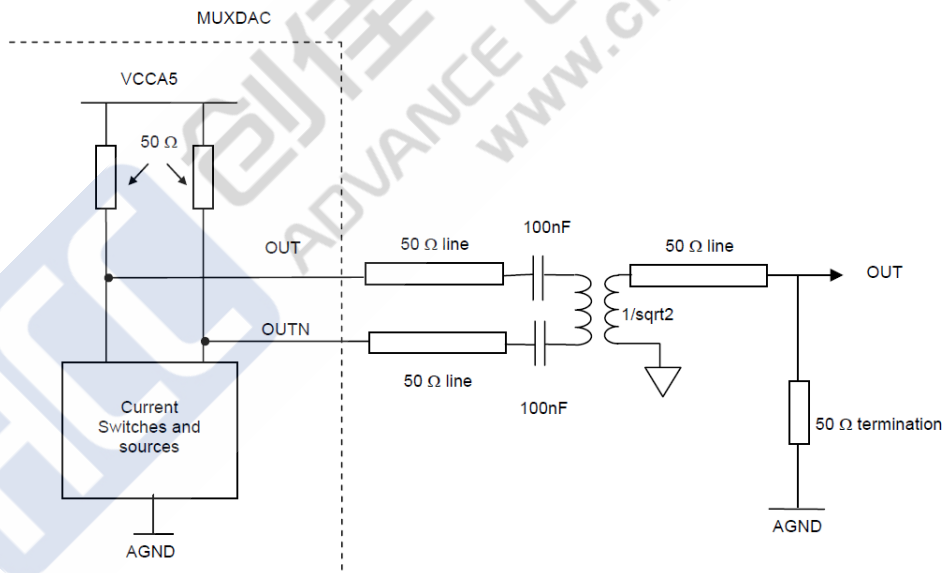
6.1. 模拟输出 (OUT/OUTN)

模拟输出应运用下表中所述的差分形式。如需要单端型模拟输出, 就需要使用 balun【换衡器】从 DAC 的差分输出产生单端型信号。

图示 17. 模拟输出差分终端



图示 18. 模拟输出差分终端使用一个 $1/\sqrt{2}$ 的 balun【换衡器】

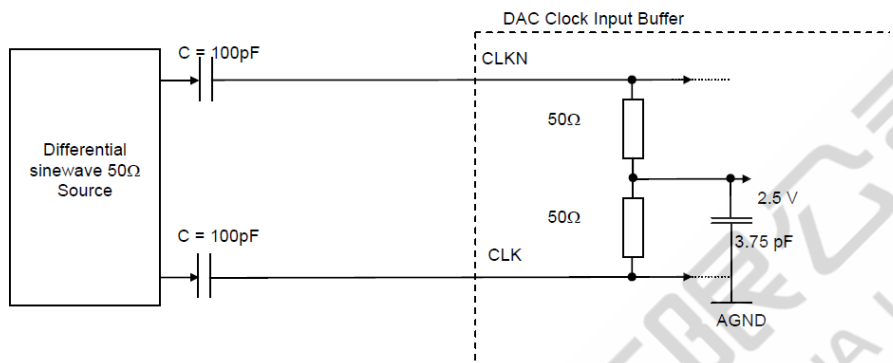


注释: 根据应用时产生的数值, 选用适合的交流电耦合电容器作为宽带电容器

6.2. 时钟输入 (CLK/CLKN)

DAC 输入时钟 (采样时钟) 应该输入图示 12 中所描述的差分模式

图示 19. 时钟输入差分终端



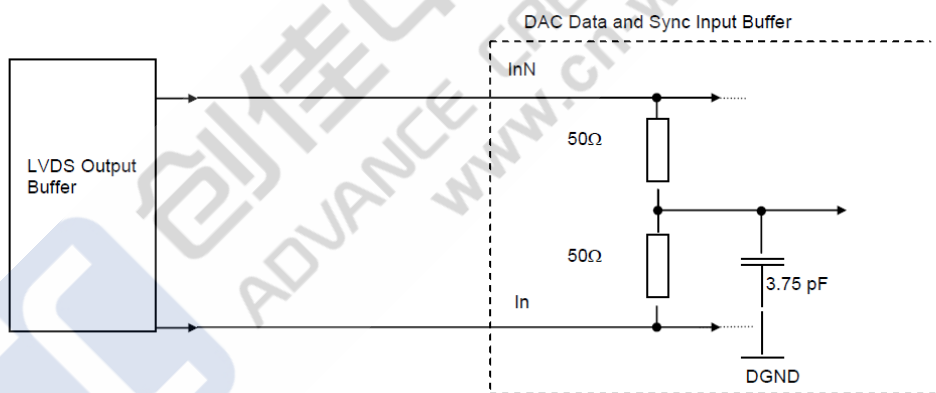
注释: 缓冲器内部预极化到 2.5V (为 VCC5 和 AGND 之间的缓冲值)

6.3. 数字数据, SYNC 和 IDC 输入

LVDS 缓冲器用于数据数字输入, 重置信号 (低电平有效) 和 IDC 信号。

他们都是通过一个 3.65pF 电容器以 2x50Ω 内部终端接地。

图示 20. 数字数据, 重置和 IDC 输入差分终端



注释: 1. 在仅使用两个端口的情况下 (2:1 MUX 率), 未使用的数据端口应预留待用 (不进行连接)。

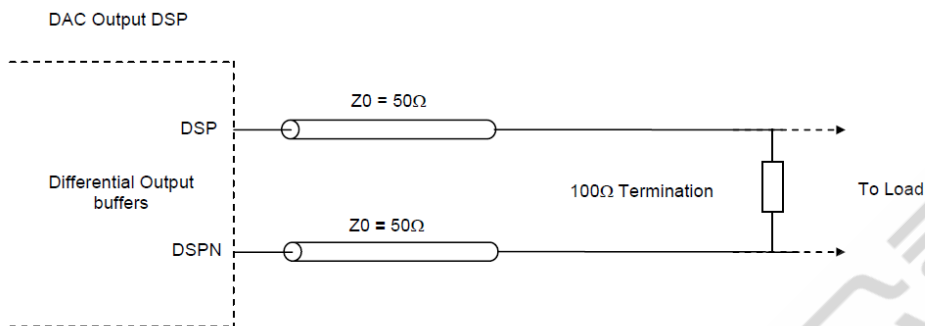
2. 依据同样的布线规则和相同的长度, 使数据和 IDC 信号通过器件进行传输。

6.4. DSP 时钟

DSP, DSPN 输出时钟信号兼容 LVDS。

根据图示 14 所述, 必须通过差分 100Ω 终端进行终止。

图示 21. DSP 输出差分终止



6.5. 电源去耦合及分流

DAC 需要 3 种不同的电源:

$V_{CCA5}=5V$ (用于模拟核)

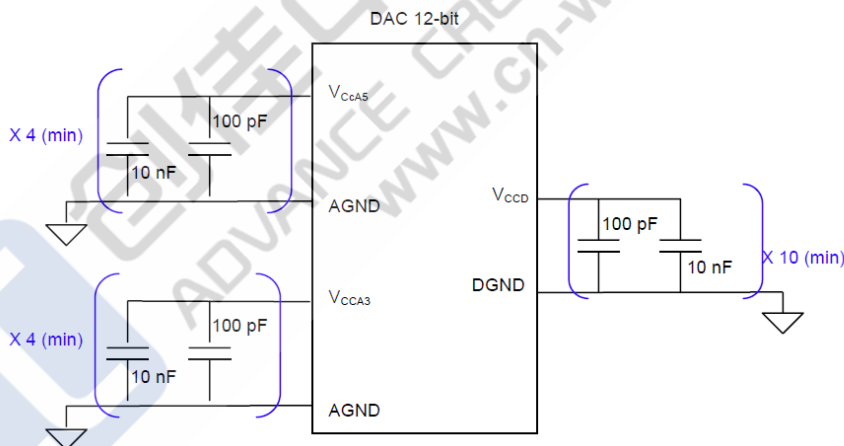
$V_{CCA3}=3.3V$ (用于模拟部分)

$V_{CCD}=3.3V$ (用于数字部分)

推荐对接地电源去耦合使之尽可能靠近机件球, 100pF 并联 10nF 电容器。电容器去耦最小对数按临近管脚的最少数量来计算。

V_{CCA5} 去耦, 需要 4 对 100pF 并联 10nF 电容器, 最少需要 4 片 V_{CCA3} , 最后需要 10 片 V_{CCD} 即可。

图示 22. 电源去耦方案



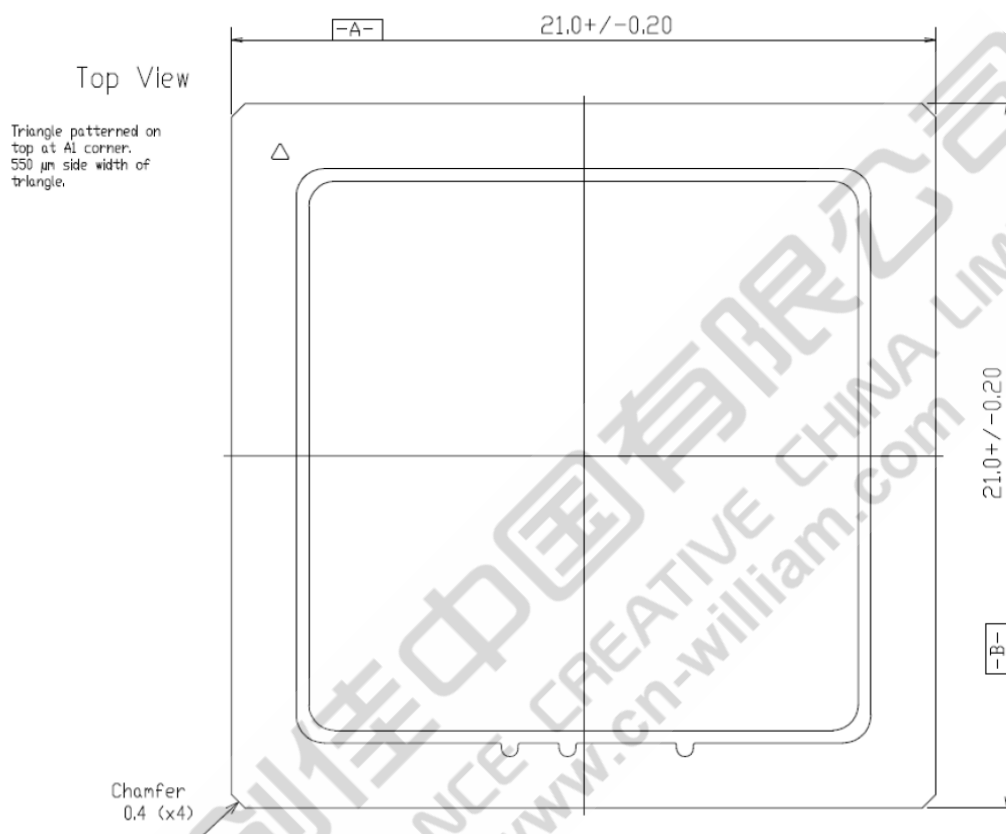
每个电源需要被分流到其靠近核心的位置或通过 100nF 并联到 1 μ F 的电容器里。

7. 封装信息

7.1. CLGA255 概述

7.1.1. 俯视图

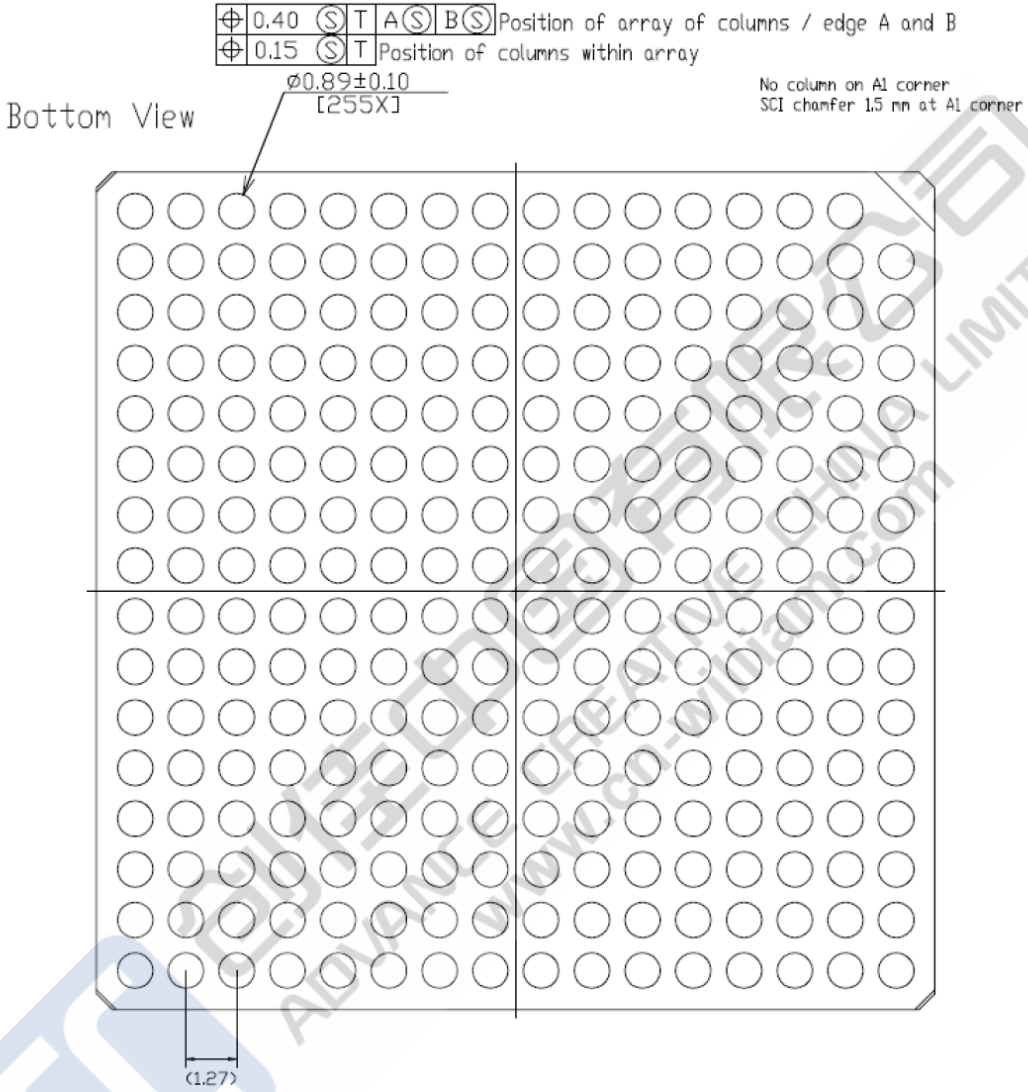
图示 23. Ci-CGA255 俯视图



所有单位为毫米
密封圈与 AGND 相连

7.1.2. 底视图:

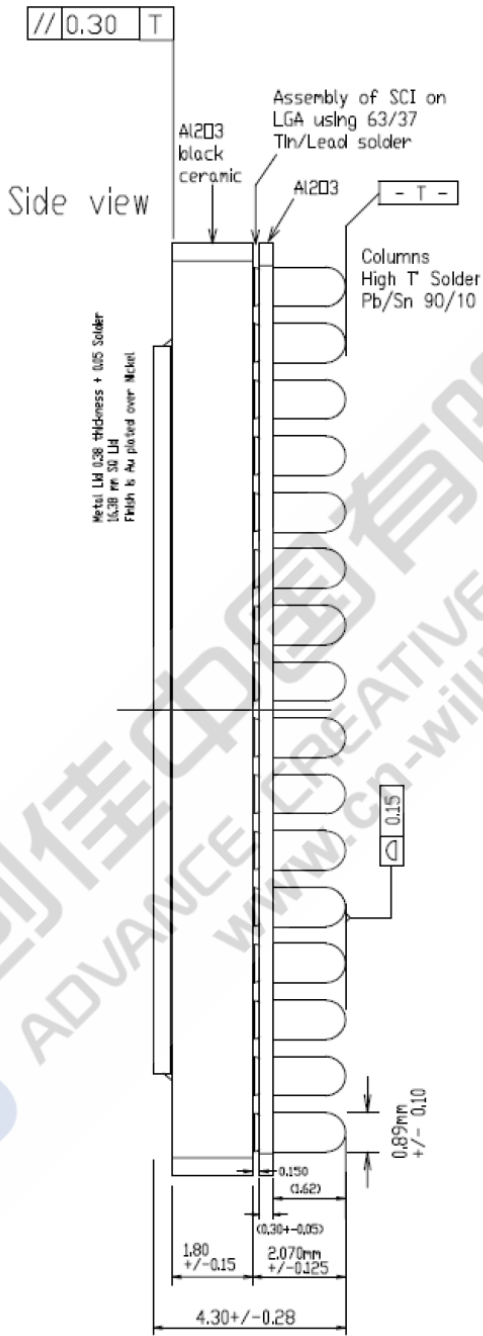
图示 24. Ci-CGA255 底视图



所有单位为毫米

7.1.3. 侧视图

图示 25 Ci-CGA255 侧视图



所有单位为毫米

8. 订货信息

表格 15. 订货信息

Part Number	Package	Temperature Range	Screening Level	Comments
EVX12DS130GS	CI-CGA255	Ambient	Prototype	
EV12DS130MGS	CI-CGA255	-55°C < Ta < 125°C	Military « M » Grade	
EV12DS130GS-EB	CI-CGA255	Ambient	Prototype	Evaluation board

表格内容

1. 方框图.....	2
2. 描述.....	2
3. 电气特性.....	Erreur ! Signet non défini.
3.1. 推荐使用条件.....	Erreur ! Signet non défini.
3.2. 时间信息.....	Erreur ! Signet non défini.
3.3. 代码表.....	Erreur ! Signet non défini.
4. 管脚说明.....	Erreur ! Signet non défini.
4.1. 管脚视图（俯视图）.....	Erreur ! Signet non défini.
4.2. 管脚表.....	Erreur ! Signet non défini.
5. 功能说明.....	Erreur ! Signet non défini.
6. CI-CGA255 封装信息.....	Erreur ! Signet non défini.
6.1.1. 俯视图.....	Erreur ! Signet non défini.
6.1.2. 底视图.....	Erreur ! Signet non défini.
6.1.3. 侧视图.....	Erreur ! Signet non défini.
6.1.4. 横截面.....	Erreur ! Signet non défini.
6.2. CI-CGA255 电气特性.....	Erreur ! Signet non défini.
7. 订货信息.....	Erreur ! Signet non défini.